

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 08-046159  
 (43) Date of publication of application : 16. 02. 1996

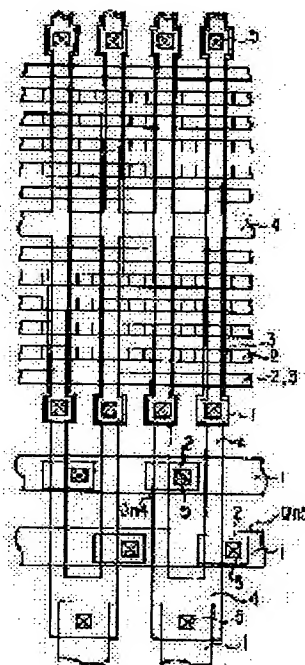
(51) Int. Cl. H01L 27/115  
 G11C 16/02  
 H01L 27/10  
 H01L 21/8247  
 H01L 29/788  
 H01L 29/792

(21) Application number : 06-176725 (71) Applicant : TOSHIBA CORP  
 (22) Date of filing : 28. 07. 1994 (72) Inventor : TANAKA TOMOHARU

**(54) SEMICONDUCTOR MEMORY****(57) Abstract:**

**PURPOSE:** To facilitate processing of bit line selection transistor by forming bit line selection transistors almost in the same shape as a selection transistor and then arranging the selection transistor to the position where the selection transistor is moved in parallel in the bit line direction.

**CONSTITUTION:** The bit line selection transistors Qn4, 5 are formed adjacent to NAND cell unit within a memory cell array formed on a p-type well. The source/drain thereof is the n-type diffused layer 4 which forms the source/drain of the selection transistor and the gate electrode thereof is formed by a wiring layer 2 in the same gate length. The bit line selection transistors Qn4, 5 can be formed almost in the same shape by forming them simultaneously with the selection transistor. Processing of the bit line selection transistors can be done easily while keeping the regular shape of the memory cell array by forming the bit line selection transistors Qn4, 5 with the selection transistors in the memory cell.

**LEGAL STATUS**

[Date of request for examination] 28. 02. 2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted]

registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's  
decision of rejection]  
[Date of requesting appeal against  
examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-46159

(43)公開日 平成8年 (1996) 2月16日

(51)Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/115				
G 1 1 C 16/02				
H 0 1 L 27/10	4 7 1			

H 0 1 L 27/10 4 3 4

G 1 1 C 17/00 3 0 7 A

審査請求 未請求 請求項の数5 O L (全 13 頁) 最終頁に続く

(21)出願番号 特願平6-176725

(22)出願日 平成6年 (1994) 7月28日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

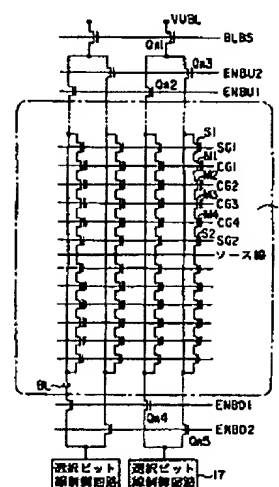
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体記憶装置

(57)【要約】 (修正有)

【目的】 ビット線選択トランジスタの加工を容易にすることができるNANDセル型EEPROMを提供すること。

【構成】 4個のメモリセルMを直列接続したNANDセルと、このNANDセルを選択的にビット線BLと接続するための選択トランジスタS1、2から構成されるメモリセルユニットが、マトリクス状に配置されたメモリセルアレイと、2本のビット線BLに対して1本ずつ設けられた選択ビット信号線と、2本のビット線BLを選択的に選択ビット信号線に接続するため、ビット線BLの同一端にメモリセルユニットに隣接して設けられたビット線選択トランジスタQn2、3とを備えたNANDセル型EEPROMにおいて、ビット線選択トランジスタQn2、3を、選択トランジスタS1とほぼ同一形状に同時に形成し、かつ選択トランジスタS1をビット線方向に平行移動した位置に配置したことを特徴とする。



1

## 【特許請求の範囲】

【請求項1】1個又は複数個のメモリセルから構成されるサブアレイと、このサブアレイを選択的にビット線と接続するための選択トランジスタから構成されるメモリセルユニットが、マトリクス状に配置されたメモリセルアレイと、

複数本のビット線に対して1本ずつ設けられた選択ビット信号線と、

前記複数本のビット線を選択的に前記選択ビット信号線に接続するため、ビット線の同一端にメモリセルユニットに隣接して設けられたビット線選択トランジスタとを備え、

前記ビット線選択トランジスタは、前記選択トランジスタとほぼ同一形状に形成され、かつ前記選択トランジスタをビット線方向に平行移動した位置に配置されてなることを特徴とする半導体記憶装置。

【請求項2】1個又は複数個のメモリセルから構成されるサブアレイと、このサブアレイを選択的にビット線と接続するための選択トランジスタから構成される選択メモリセルユニットが、マトリクス状に配置されたメモリセルアレイと、

複数本のビット線に対して1本ずつ設けられた第1の選択ビット信号線と、

複数本のビット線に対して1本ずつ設けられた第2の選択ビット信号線と、

前記複数本のビット線を選択的に第1の選択ビット信号線に接続するため、ビット線の同一端にメモリセルユニットに隣接して設けられた第1のビット線選択トランジスタと、

前記複数本のビット線を選択的に第2の選択ビット信号線に接続するため、第1のビット線選択トランジスタと反対のビット線の同一端にメモリセルユニットに隣接して設けられた第2のビット線選択トランジスタとを備え、

第1及び第2のビット線選択トランジスタは、前記選択トランジスタとほぼ同一形状に形成され、かつ前記選択トランジスタをビット線方向に平行移動した位置に配置されてなることを特徴とする半導体記憶装置。

【請求項3】1個又は複数個のメモリセルから構成されるサブアレイと、このサブアレイを選択的にビット線と接続するための選択トランジスタとから構成されるメモリセルユニットが、第1の半導体層上にマトリクス状に配置されたメモリセルアレイと、

複数本のビット線に対して1本ずつ設けられた選択ビット信号線と、

前記複数本のビット線を選択的に前記選択ビット信号線に接続するため、ビット線の同一端にメモリセルユニットに隣接して第1の半導体層上に設けられたビット線選択トランジスタと、

前記選択ビット信号線に接続され、第2の半導体層上に

2

形成されたビット線制御回路とを備えたことを特徴とする半導体記憶装置。

【請求項4】1個又は複数個のメモリセルから構成されるサブアレイと、このサブアレイを選択的にビット線と接続するための選択トランジスタとから構成されるメモリセルユニットが、第1の半導体層上にマトリクス状に配置されたメモリセルアレイと、

複数本のビット線に対して1本ずつ設けられた第1の選択ビット信号線と、

10 複数本のビット線に対して1本ずつ設けられた第2の選択ビット信号線と、

前記複数本のビット線を選択的に第1の選択ビット信号線に接続するため、ビット線の同一端にメモリセルユニットに隣接して第1の半導体層上に設けられた第1のビット線選択トランジスタと、

前記複数本のビット線を選択的に第2の選択ビット信号線に接続するため、第1のビット線選択トランジスタと反対のビット線の同一端にメモリセルユニットに隣接して第1の半導体層上に設けられた第2のビット線選択トランジスタと、

20 第1の選択ビット信号線に接続され、第2の半導体層上に形成された第1のビット線制御回路と、

第2の選択ビット信号線に接続され、第3の半導体層上に形成された第2のビット線制御回路とを備えたことを特徴とする半導体記憶装置。

【請求項5】1個又は複数個のメモリセルから構成されるサブアレイと、このサブアレイを選択的にビット線と接続するための選択トランジスタとから構成されるメモリセルユニットが、第1の半導体層上にマトリクス状に配置されたメモリセルアレイと、

30 複数本のビット線に対して1本ずつ設けられた選択ビット信号線と、

前記複数本のビット線を選択的に前記選択ビット信号線に接続するため、ビット線の同一端にメモリセルユニットに隣接して第1の半導体層上に設けられ、かつ複数本のビット線毎に設けられた低耐圧ビット線選択トランジスタと、

前記複数個の低耐圧ビット線選択トランジスタと前記選択ビット信号線とを接続するため、低耐圧ビット線選択トランジスタに隣接して第2の半導体層上に設けられ、かつ1本の選択ビット信号線に対して1個設けられた高耐圧ビット線選択トランジスタとを備えたことを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置に係わり、特に電氣的書き替え可能な不揮発性半導体記憶装置（EEPROM）に関し、またトンネル電流によりメモリセルに対して書き込み／消去を行うEEPROMに関する。

50

## 【0002】

【従来の技術】EEPROMの1つとして、高集積化が可能なNANDセル型EEPROMが知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続し、これを1単位としてビット線に接続するものである。メモリセルは通常、電荷蓄積層（浮遊ゲート）と制御ゲートが積層されたFETMOS構造を有する。メモリセルアレイは、p型基板又はn型基板に形成されたp型ウェル内に集積形成される。NANDセルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介して共通ソース線に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

【0003】このNANDセル型EEPROMの動作は、次の通りである。データ書き込みは、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧 $V_{pp}$ （＝20V程度）を印加し、それよりビット線側にあるメモリセルの制御ゲート及びドレイン側の選択ゲートには中間電圧 $V_m$ （＝10V程度）を印加し、ビット線にはデータに応じて0V又は中間電圧 $V_{mb}$ （＝8V程度）を与える。

【0004】ビット線に0Vが与えられた時、その電位は選択メモリセルのドレインまで転送されて、電荷蓄積層に電子注入が生じる。これにより、選択されたメモリセルのしきい値は正方向にシフトする。この状態を例えば“0”とする。ビット線に $V_{mb}$ が与えられた時は電子注入が実質的に起こらず、従ってしきい値は変化せず、負に止まる。この状態は消去状態で“1”とする。なお、データ書き込みは、制御ゲートを共有するメモリセルに対して同時に行われる。

【0005】データ消去は、選択されたNANDセル内の全てのメモリセルに対して同時に行われる。即ち、選択されたNANDセル内の全ての制御ゲートを0Vとし、p型ウェルを20Vとする。このとき、p型ウェルに印加される高電圧に対して選択ゲート、ビット線、ソース線も20Vにされる。これにより、選択されたNANDセル内の全てのメモリセルで電荷蓄積層の電子がp型ウェルに放出され、しきい値は負方向にシフトする。消去しないNANDセル内のメモリセルの全制御ゲートは20Vにされる。

【0006】データ読み出しは、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電圧 $V_{cc}$ （例えば5V）とし、選択トランジスタで電流が流れるか否かを検出することにより行われる。

【0007】このようなNANDセル型EEPROMでは、書き込み／読み出しは数バイト（～512バイト）同時に行うために、ビット線毎にデータラッチ兼センスアンプ回路が設けられる。

【0008】しかし、高集積化につれビット線のピッチが狭くなり、1本のビット線毎にデータラッチ兼センスアンプ回路を配置するのが難しくなり、2本のビット線に1つのデータラッチ兼センスアンプ回路を設けることになる。これは、メモリセルアレイ内の規則正しい形状では配線層やコンタクト穴を加工するのはできても、周辺回路内のように非定型形状部では加工が難しくなるためである。ところが、ビット線を選択してデータラッチ兼センスアンプ回路に接続するためのビット線選択トランジスタは、やはり1本のビット線毎に設けなければならず、加工し難いという問題があった。

【0009】また、消去のためp型ウェルに20V程度の高電圧が印加されるため、p型ウェル表面に形成されるn型拡散層を介してビット線も20V程度になり、このためビット線選択トランジスタは20V程度の高電圧に耐えられるような、高耐圧トランジスタでなければならぬ。この高耐圧トランジスタは、パンチスルー耐圧を高めるためゲート長が長いなどトランジスタ寸法が大きく、回路面積を大きくするという問題があった。

## 20 【0010】

【発明が解決しようとする課題】以上のように従来のNANDセル型EEPROMでは、2本のビット線に対してデータラッチ兼センスアンプを1つにして、周辺回路内の最小加工寸法を緩めようとしても、ビット線毎に設けなければならないビット線選択トランジスタの加工領域では、最小加工寸法は緩められないという問題があった。また、1本のビット線毎に高耐圧トランジスタを設けなければならず、これが回路面積を大きくする要因になるという問題があった。

30 【0011】本発明は、上記事情を考慮してなされたもので、その目的とするところは、ビット線選択トランジスタの加工容易化をはかることができ、ビット線選択トランジスタの信頼性向上等に寄与し得る半導体記憶装置を提供することにある。

【0012】また、本発明の他の目的は、従来1本のビット線毎に必要であった高耐圧トランジスタの数を減少させることができ、回路面積の縮小化をはかり得る半導体記憶装置を提供することにある。

## 【0013】

40 【課題を解決するための手段】本発明に係わるNANDセル型EEPROMはビット線選択トランジスタを、メモリセルアレイの規則正しい形状を崩さないように、選択トランジスタとほぼ同じトランジスタとしアレイに隣接配置する。また、ビット線選択トランジスタはメモリセルアレイの形成されるp型ウェル内に形成する。言い換えれば、メモリセルアレイ内の選択トランジスタを切り出して、メモリセルアレイの端に配置し、それをビット線選択トランジスタとする。このビット線選択トランジスタを介して複数のビット線は1本の信号線にまとめられ、周辺回路へ配線される。選択トランジスタと同様

にビット線選択トランジスタのゲートも、消去時には20V程度が印加される。

【0014】即ち、本発明（請求項1）は、1個又は複数のメモリセルから構成されるサブアレイと、このサブアレイを選択的にビット線と接続するための選択トランジスタから構成されるメモリセルユニットが、マトリクス状に配置されたメモリセルアレイと、複数本のビット線に対して1本ずつ設けられた選択ビット信号線と、複数本のビット線を選択的に選択ビット信号線に接続するため、ビット線の同一端にメモリセルユニットに隣接して設けられたビット線選択トランジスタとを備えた半導体記憶装置において、ビット線選択トランジスタを選択トランジスタとほぼ同一形状に形成し、かつ選択トランジスタをビット線方向に平行移動した位置に配置したことを特徴とする。

【0015】また、本発明（請求項2）は、1個又は複数のメモリセルから構成されるサブアレイと、このサブアレイを選択的にビット線と接続するための選択トランジスタから構成される選択メモリセルユニットが、マトリクス状に配置されたメモリセルアレイと、複数本のビット線に対して1本ずつ設けられた第1の選択ビット信号線と、複数本のビット線に対して1本ずつ設けられた第2の選択ビット信号線と、複数本のビット線を選択的に第1の選択ビット信号線に接続するため、ビット線の同一端にメモリセルユニットに隣接して設けられた第1のビット線選択トランジスタと、複数本のビット線を選択的に第2の選択ビット信号線に接続するため、第1のビット線選択トランジスタと反対のビット線の同一端にメモリセルユニットに隣接して設けられた第2のビット線選択トランジスタとを備えた半導体記憶装置において、第1及び第2のビット線選択トランジスタを選択トランジスタとほぼ同一形状に形成し、かつ選択トランジスタをビット線方向に平行移動した位置に配置したことを特徴とする。

【0016】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 選択トランジスタとビット線選択トランジスタは同時に形成されること。

(2) 選択トランジスタとビット線選択トランジスタは、ビット線に対する直角方向断面がほぼ同一形状に形成されること。

(3) メモリセルは、絶縁膜上に電荷蓄積層と制御ゲートが積層形成され、電氣的書き替えを可能としたメモリセルであって、複数のメモリセルを直列接続してNANDセルを構成していること。

【0017】また、本発明（請求項3）は、1個又は複数のメモリセルから構成されるサブアレイと、このサブアレイを選択的にビット線と接続するための選択トランジスタから構成されるメモリセルユニットが、マトリクス状に配置されたメモリセルアレイと、複数本のビッ

ト線に対して1本ずつ設けられた選択ビット信号線と、複数本のビット線を選択的に選択ビット信号線に接続するため、ビット線の同一端にメモリセルユニットに隣接して設けられたビット線選択トランジスタと、選択ビット信号線に接続されるビット線制御回路とを備えた半導体記憶装置において、メモリセルアレイ及びビット線選択トランジスタを第1の半導体層上に形成し、ビット線制御回路を第2の半導体層上に形成したことを特徴とする。

10 【0018】また、本発明（請求項4）は、1個又は複数のメモリセルから構成されるサブアレイと、このサブアレイを選択的にビット線と接続するための選択トランジスタから構成されるメモリセルユニットが、マトリクス状に配置されたメモリセルアレイと、複数本のビット線に対して1本ずつ設けられた第1の選択ビット信号線と、複数本のビット線に対して1本ずつ設けられた第2の選択ビット信号線と、複数本のビット線を選択的に第1の選択ビット信号線に接続するため、ビット線の同一端にメモリセルユニットに隣接して設けられた第1のビット線選択トランジスタと、複数本のビット線を選択的に第2の選択ビット信号線に接続するため、第1のビット線選択トランジスタと反対のビット線の同一端にメモリセルユニットに隣接して設けられた第2のビット線選択トランジスタと、第1の選択ビット信号線に接続される第1のビット線制御回路と、第2の選択ビット信号線に接続される第2のビット線制御回路とを備えた半導体記憶装置において、メモリセルアレイ、第1及び第2のビット線選択トランジスタを第1の半導体層上に形成し、第1のビット線制御回路を第2の半導体層上に形成し、第2のビット線制御回路を第3の半導体層上に形成したことを特徴とする。

【0019】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 選択トランジスタとビット線選択トランジスタはほぼ同一形状で、かつ選択トランジスタとビット線選択トランジスタは同時に形成され、ビット線選択トランジスタは選択トランジスタをビット線方向に平行移動した位置に配置されること。

20 (2) 選択トランジスタとビット線選択トランジスタのビット線に対する直角方向断面はほぼ同一形状で、かつ選択トランジスタとビット線選択トランジスタは同時に形成され、ビット線選択トランジスタは選択トランジスタをビット線方向に平行移動した位置に配置されること。

(3) 第2の半導体層と第3の半導体層は同じ半導体層であること。

(4) メモリセルは、絶縁膜上に電荷蓄積層と制御ゲートが積層形成され、電氣的書き替えを可能としたメモリセルであって、複数のメモリセルを直列接続してNANDセルを構成していること。

30 (5) NANDセルを消去するため、第1の半導体層に消

去電圧を印加し、また、選択トランジスタ及びビット線選択トランジスタのゲート電極を消去電圧との電位差が十分小さくなるよう制御する消去手段を備えたこと。

【0020】また、本発明（請求項5）は、1個又は複数のメモリセルから構成されるサブアレイと、このサブアレイを選択的にビット線と接続するための選択トランジスタとから構成されるメモリセルユニットが、マトリクス状に配置されたメモリセルアレイと、複数本のビット線に対して1本ずつ設けられた選択ビット信号線と、複数本のビット線を選択的に選択ビット信号線に接続するため、ビット線の同一端にメモリセルユニットに隣接して設けられたビット線選択トランジスタとを備えた半導体記憶装置において、ビット線選択トランジスタを、ビット線毎に設けられた低耐圧ビット線選択トランジスタと、複数の低耐圧ビット線選択トランジスタと選択ビット信号線とを接続するため、1本の選択ビット信号線に対して1個設けられた高耐圧ビット線選択トランジスタとで構成し、低耐圧ビット線選択トランジスタをメモリセルアレイと同じ第1の半導体層上に形成し、高耐圧ビット線選択トランジスタを第2の半導体層上に形成したことを特徴とする。

【0021】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 選択トランジスタと低耐圧ビット線選択トランジスタはほぼ同一形状で、かつ選択トランジスタと低耐圧ビット線選択トランジスタは同時に形成され、低耐圧ビット線選択トランジスタは選択トランジスタをビット線方向に平行移動した位置に配置されること。

(2) 選択トランジスタと低耐圧ビット線選択トランジスタのビット線に対する直角方向断面はほぼ同一形状で、かつ選択トランジスタと低耐圧ビット線選択トランジスタは同時に形成され、低耐圧ビット線選択トランジスタは選択トランジスタをビット線方向に平行移動した位置に配置されること。

(3) メモリセルは、絶縁膜上に電荷蓄積層と制御ゲートが積層形成され、電氣的書き換えを可能としたメモリセルであって、複数のメモリセルを直列接続してNANDセルを構成していること。

(5) NANDセルを消去するため、第1の半導体層に消去電圧を印加し、また、選択トランジスタ及びビット線選択トランジスタのゲート電極を消去電圧との電位差が十分小さくなるよう制御する消去手段を備えたこと。

【0022】

【作用】本発明においては、ビット線選択トランジスタをメモリセルアレイ内の選択トランジスタで構成することで、メモリセルアレイの規則正しい形状でほぼ保ったまま、ビット線選択トランジスタを加工することができる。これは、選択トランジスタが加工できれば自動的にビット線選択トランジスタも加工できるということであり、従ってビット線選択トランジスタの加工の難しさを

回避できることになる。

【0023】また、ビット線選択トランジスタをメモリセルアレイ内に配置することで、メモリセルアレイ領域から周辺回路領域に配置される信号線は減り、周辺回路領域に設けられる高耐圧のトランジスタの数を減らすことができる。これは、回路面積の縮小化につながる。

【0024】

【実施例】まず、実施例を説明する前に、本発明の基本構成について説明する。図1は、本発明に係わるNANDセル型EEPROMのメモリセル部の等価回路を示す図である。

【0025】4つのメモリセルM1~4は直列に接続され、選択トランジスタS1を介してビット線BLに接続される。さらに、選択トランジスタS2を介してソース線に接続される。制御ゲートCG（CG1~4）を共有するメモリセルでページを構成し、4ページで1ブロックを構成する。このメモリセルをNAND型メモリセルといい、選択トランジスタS1、S2、メモリセルM1~4でNANDセル型メモリセルユニット（NANDセルユニット）を構成する。

【0026】図2は、メモリセルアレイの構成を示す平面図である。ビット線BLは配線層1（例えばアルミニウム）で形成され、ほぼ直線に互いに平行に配線される。ビット線BLはコンタクト穴5でn型拡散層4に接続されたNANDセルユニットに接続される。

【0027】制御ゲートCGは配線層2（例えばポリシリコン）で形成され、ビット線とほぼ直角に、かつ互いに平行に配線される。浮遊ゲートFGは配線層3（例えばポリシリコン）で形成され、制御ゲートCGと自己整合的に加工される。選択ゲートSGは配線層2と3の積層構造になっていて、制御ゲートCGと平行に配線され、配線層2と3はメモリセルアレイのところどころで接続される。

【0028】図3及び図4（a）（b）は、それぞれ図2の矢視X-X'、Z-Z'、Y-Y'断面図である。n型基板10内に形成されたp型ウェル9の上に浮遊ゲートFGと制御ゲートCGが積層形成され、n型拡散層4をソース/ドレインとしてメモリセルMは形成される。p型ウェル9と浮遊ゲートFGはトンネル絶縁膜11で絶縁される。浮遊ゲートFGと制御ゲートCGはゲート間絶縁膜7によって絶縁されている。選択トランジスタSは、p型ウェル9の上に配線層2と3の積層構造で構成される選択ゲートSGとソース/ドレインとなるn型拡散層4で形成される。選択トランジスタSでは、p型ウェル9と選択ゲートSGは選択ゲート絶縁膜6で絶縁される。また、素子分離膜8で隣り合うNANDセルユニットは分離される。

【0029】素子分離膜13でメモリセルアレイ領域とp型ウェル12の上に形成される周辺回路領域は分離される。周辺回路のトランジスタは、p型ウェル12の上

の周辺ゲート絶縁膜16の上に形成される配線層2をゲート電極、薄いn型拡散層14とその中に形成される濃いn型拡散層15をソース・ドレインとして形成される。

【0030】メモリセルアレイでは、配線層1の下p型ウェル9からの厚さはほぼ一定である。素子分離膜13の上の配線層1までの厚さは、メモリセルアレイのそれより薄い。これは、素子分離膜13と配線層1の間に、配線層2と配線層3がないためである。このような場合、配線層1を形成する際のフォトリソ・エッチング・プロセスで露光条件が合わず、メモリセルアレイ上に配線層が最小加工寸法で加工できても、素子分離膜13上では加工できない場合がある。

【0031】このNANDセル型EEPROMの消去／書き込み／読み出し動作について、図5を用いて説明する。データの消去は、メモリセルM1～4に対して同時に行われる。p型ウェル9に消去電圧Verase (～20V)を印加し、選択されたブロックの制御ゲートCG1～4は0Vにする。非選択ブロックの制御ゲートCG1～4はVeraseにする。ビット線BL、ソース線はフローティングにされる。ビット線、ソース線はp-n接合の順方向電流でほぼVeraseとなる。選択ゲートSGは、選択ゲート絶縁膜6に電圧ストレスが印加されないようにVeraseにしておく。消去動作によって、浮遊ゲートFGの電位はトンネル絶縁膜11を流れるトンネル電流によって正方向に変移し、メモリセルのしきい値は負となり、メモリセルのデータは“1”となる。

【0032】消去時はビット線がVeraseになるため、ビット線とビット線を制御する回路とを接続するnチャネルMOSトランジスタQn2～5を非導通とするため、ビット線選択信号ENBU1、ENBU2、ENBD1、ENBD2は0Vとされる。

【0033】書き込み時は、選択されたメモリセルの制御ゲートCG (例えばCG2)を書き込み電圧Vprog (～20V)とし、その他の制御ゲートCG1、3、4と選択ゲートSG1はVm (～10V)、選択ゲートSG2は0Vとする。“0”書き込みをする場合はビット線は0V、“1”書き込みをする場合はビット線はVmb (～8V)とする。

【0034】“0”書き込みの場合は、浮遊ゲートFGの電位はトンネル絶縁膜11を流れるトンネル電流によって負方向に変移し、メモリセルのしきい値は正となり、メモリセルのデータは“0”となる。“1”書き込みの場合は、トンネル絶縁膜11を介して電荷が移動し

ないので“1”状態が保たれる。

【0035】Qn4に接続されるビット線が選択された場合の書き込み時は、ビット線選択信号ENBD1がVmとされ、選択ビット線制御回路17からデータに応じてVmb又は0Vがビット線に供給され、ビット線選択信号ENBD2は0Vとされる。このとき、ビット線の他端に設けられるnチャネルMOSトランジスタQn1で構成される非選択ビット線制御回路と、Qn3に接続される非選択ビット線を接続するため、ビット線選択信号ENBU2がVmとなり、ビット線選択信号ENBU1は0Vとなる。ビット線バイアス信号BLBSもVmとなって、書き込み時にVmbとなる非選択ビット線電圧VUBLが非選択ビット線に転送され、非選択メモリセルのデータは書き込み動作前のまま保持される。

【0036】読み出し時は、Qn4に接続されるビット線が選択された場合、ビット線選択信号ENBD1がVccとされ、選択ビット線制御回路17からVccがビット線に供給され、その後ENBD1が0Vとなってビット線はフローティングとなる。この後、選択された制御ゲート (例えばCG2)を0Vとし、その他の制御ゲートCG1、3、4はVcc (例えば5V)とする。また、選択ゲートSG1、2もVccとする。メモリセルのデータが“0”の場合、そのしきい値は正なのでビット線はVccのままである。メモリセルのデータが“1”の場合、そのしきい値は負なのでビット線の電位は下がる。

【0037】ビット線の電位がデータによって確定した後、ビット線選択信号ENBD1が再度Vccとなり、選択ビット線制御回路17によってビット線のデータがセンスされる。

【0038】この読み出し動作中、ビット線選択信号ENBU1、ENBD2は0Vとされ、ENBU2はVccとされる。また、ビット線バイアス信号BLBSはVccで、電圧VUBLは0Vである。このため、Qn3に接続される非選択ビット線は読み出し動作中0Vに固定される。

【0039】以上の説明から、ビット線選択トランジスタQn2～5は消去動作時にビット線がVeraseとなるために、高耐圧トランジスタでなければならない。しかし、読み出し／書き込み動作時には高耐圧トランジスタである必要はない。下記の(表1)に各動作時の各部の電位をまとめて示す。

【0040】

【表1】



	消 去		書き込み		読み出し	
	読取アンプ	記憶アンプ	"0"	"1"	"0"	"1"
B L	70V	70V	0V	8V	"H"	"L"
S G 1	20V	20V	10V	10V	5V	5V
C G 1	0V	20V	10V	10V	5V	5V
C G 2	0V	20V	20V	20V	0V	0V
C G 3	0V	20V	10V	10V	5V	5V
C G 4	0V	20V	10V	10V	5V	5V
S G 2	20V	20V	0V	0V	5V	5V
Y-1 線	20V	20V	0V	0V	0V	0V
P 944	20V	20V	0V	0V	0V	0V

【0041】以下、本発明の実施例について説明する。

(実施例1) 図6は、本発明の第1の実施例に係わるNANDセル型EEPROMのメモリセルアレイとビット線選択トランジスタの構成を示す平面図である。なお、図2と同一部分には同一符号を付して、その詳しい説明は省略する。

【0042】ビット線選択トランジスタQn4, 5はp型ウェル9の上に形成されるメモリセルアレイ内にNANDセルユニットに隣接して形成される。そのソース/ドレインは選択トランジスタSのソース/ドレインと同じn型拡散層4で、そのゲート電極は配線層2で形成される。ビット線選択トランジスタのゲート長は、選択トランジスタのゲート長と同じである。具体的には、ビット線選択トランジスタQn4, 5を選択トランジスタSと同時に形成することにより、ビット線選択トランジスタQn4, 5を選択トランジスタSとほぼ同一形状に形成している。

【0043】ビット線選択信号ENBD1, 2は配線層1で配線される。2本のビット線はビット線選択トランジスタを介して、配線層1により選択ビット信号線としてメモリセルアレイから引き出され、前記した選択ビット線制御回路17に配線される。コンタクト穴の寸法はメモリセルアレイ内で同寸法で、コンタクト穴の周辺のn型拡散層寸法もメモリセルアレイ内で同寸法である。周辺回路への信号線となる配線層1のコンタクト穴周辺のn型拡散層寸法だけが大きくされている。

【0044】このように本実施例によれば、ビット線選択トランジスタQn4, 5をメモリセルアレイ内の選択トランジスタSで構成することで、メモリセルアレイの規則正しい形状でほぼ保ったままビット線選択トランジスタを加工することができ、ビット線選択トランジスタの加工の難しさを回避できる。また、メモリセルアレイ領域から周辺回路に配線される信号線の数

本数の1/2となり、メモリセルアレイ外の配線加工精度を緩めることができる。また、各配線、コンタクト穴、n型拡散層寸法が増え、加工し易さも大幅に向上する。

【0045】なお、本実施例は、ビット線選択トランジスタQn2, 3に対しても同様に実施できる。

(実施例2) 図7は、本発明の第2の実施例に係わるNANDセル型EEPROMのメモリセルアレイとビット線選択トランジスタの構成を示す平面図である。なお、図2と同一部分には同一符号を付して、その詳しい説明は省略する。

【0046】ビット線選択トランジスタQn4, 5はp型ウェル9の上に形成されるメモリセルアレイ内にNANDセルユニットに隣接して形成される。そのソース/ドレインは選択トランジスタSのソース/ドレインと同じn型拡散層4で、そのゲート電極も選択トランジスタSと同じ配線層2と3で形成される。ビット線選択トランジスタのゲート長及び幅は、選択トランジスタSのゲート長及び幅と同じである。さらに、コンタクト穴からビット線選択信号ENBD1, 2として配線層2, 3で配線されるゲートまでの距離も、選択トランジスタS1の選択ゲートSG1からコンタクト穴までの距離と同じである。

【0047】ビット線選択トランジスタQn4とQn5を接続するn型拡散層4の幅は、メモリセルアレイのソース線となるn型拡散層の幅と同じである。2本のビット線はビット線選択トランジスタを介して、配線層1により選択ビット線信号線としてメモリセルアレイから引き出され選択ビット線制御回路17に配線される。コンタクト穴の寸法はメモリセルアレイ内で同寸法で、コンタクト穴の周辺のn型拡散層寸法もメモリセルアレイ内で同寸法である。

【0048】本実施例においても、ビット線選択トラン

ジスタQn4, 5を選択トランジスタSと同時に形成することにより、ビット線選択トランジスタQn4, 5を選択トランジスタSとほぼ同一形状に形成することができる。図7から容易に分かるように、ビット線選択トランジスタと選択トランジスタのビット線と直交する方向の断面形状は同じである。ビット線選択トランジスタのゲート長は必要に応じて長くしてもよい。また、ゲートとコンタクト穴の距離も必要に応じて長くしてよい。さらに、各部寸法は加工により影響を与えるように適宜変えられる。

【0049】本実施例によれば、メモリセルアレイ領域から周辺回路に配線される信号線の本数がビット線の本数の $1/2$ となり、メモリセルアレイ外の配線加工精度を緩めることができる。また、各配線、コンタクト穴、n型拡散層寸法が揃っており、加工し易くされている。そして、第1の実施例と同様の効果が得られる。

【0050】なお、本実施例は、ビット線選択トランジスタQn2, 3に対しても同様に実施できる。また、本実施例では、ビット線選択トランジスタに隣接するNANDセルユニットはダミーユニットであり、アクセスされない。

(実施例3) 図8は、本発明の第3の実施例に係わるNANDセル型EEPROMのメモリセルアレイとビット線選択トランジスタの構成を示す平面図である。なお、図2と同一部分には同一符号を付して、その詳しい説明は省略する。

【0051】本実施例は図7に示される第2の実施例によく似ているが、図7ではメモリセルアレイの外に引き出され配線される配線層1で形成される信号線の幅が途中から太められている。これに対し図8に示される実施例では、この配線を一旦コンタクト穴5で配線層2に接続し、再度コンタクト穴で配線層1に戻す。これは、最小加工寸法で配線層1を加工するときに、位相シフトマスクを用いる場合などを考慮すると、加工寸法が揃っている方がよいからである。

【0052】図9は、図6、7、8に示されたメモリセルアレイとビット線選択トランジスタの等価回路を示す図である。どの実施例も実効的な等価回路では同じである。ビット線選択トランジスタQn2~5はp型ウェル9上に形成される。このため、nチャネルMOSトランジスタQn1は高耐圧トランジスタである。また、高耐圧nチャネルMOSトランジスタQn6が新たに設けられる。

【0053】前記図5で説明したようにメモリセルの読み出し/書き込み/消去は行われるが、本実施例では特に、(1) ビット線活性化信号BLENBは、読み出し時はVcc、書き込み時はVm、消去時は0Vとされる、(2) ビット線選択信号ENBD1, ENBD2, ENBU1, ENBU2は、消去時にVeraseとされる、(3) ビット線バイアス信号BLBSは、消去時に0Vとされ

る、という点が異なる。

【0054】また、高耐圧MOSトランジスタQn6が新たに必要となるが、Qn4, 5は低耐圧でよくなるので、トランジスタの数は増えるものの、これらのトランジスタQn4, 5, 6を形成するための回路面積を従来よりも縮小することが可能となる。

(実施例4) 図10は、本発明の第4の実施例に係わるNANDセル型EEPROMのメモリセルアレイとビット線選択トランジスタの構成を示す平面図である。なお、図2と同一部分には同一符号を付して、その詳しい説明は省略する。

【0055】ビット線選択トランジスタは、Qn4, 5とnチャネルDタイプMOSトランジスタQD3, 4ととなり、これらはp型ウェル9の上に形成されるメモリセルアレイにNANDセルユニットに隣接して形成される。そのソース/ドレインは選択トランジスタSのソース/ドレインと同じn型拡散層4で、そのゲート電極も選択トランジスタSと同じ配線層2と3で形成される。

【0056】これらのビット線選択トランジスタのゲート長及び幅は、選択トランジスタSのゲート長及び幅と同じである。さらに、コンタクト穴からビット線選択信号ENBD1, 2として配線層2, 3で配線されるゲートまでの距離も、選択トランジスタS1の選択ゲートSG1からコンタクト穴までの距離と同じである。ビット線選択トランジスタQn4とQn5を接続するn型拡散層4の幅は、メモリセルアレイのソース線となるn型拡散層の幅と同じである。

【0057】2本のビット線はビット線選択トランジスタを介して、配線層1により選択ビット信号線としてメモリセルアレイから引き出され選択ビット線制御回路17に配線される。コンタクト穴の寸法はメモリセルアレイ内で同寸法で、コンタクト穴の周辺のn型拡散層寸法もメモリセルアレイ内で同寸法である。周辺回路への信号線となる配線層1のコンタクト穴周辺のn型拡散層寸法だけが大きくされている。

【0058】図10から容易に分かるように、ビット線選択トランジスタと選択トランジスタのビット線直角方向の断面形状は同じである。ビット線選択トランジスタのゲート長は必要に応じて長くしてもよい。また、ゲートとコンタクト穴の距離も必要に応じて長くしてよい。さらに、各部寸法は加工に良い影響を与えるように適宜変えられる。

【0059】本実施例は、ビット線選択トランジスタQn2, 3とQD1, 2に対しても同様に実施できる。本実施例によれば、メモリセルアレイ領域から周辺回路に配線される信号線の本数がビット線の本数の $1/2$ となり、メモリセルアレイ外の配線加工精度を緩めることができる。また、各配線、コンタクト穴、n型拡散層寸法が揃っており、加工し易くされている。

【0060】図11は、図10に示されたメモリセルア

レイとビット線選択トランジスタの等価回路を示す図である。図9の等価回路と違うのは、ビット線選択トランジスタとして、 $n$ チャネルMOSトランジスタ $Qn2$ , 3, 4, 5にそれぞれ直列に $n$ チャネルDタイプMOSトランジスタ $QD1, 2, 3, 4$ が接続されている点である。 $QD1 \sim 4$ はしきい値が十分低くしてあり、ゲート電圧が0Vであっても“1”書き込み時のビット線電圧 $V_{mb}$ を転送できる。これによって、 $QD1 \sim 4$ は回路動作の上で、実効的に抵抗と見なせるので、これら $QD1 \sim 4$ を省略すると、図9の等価回路と等しくなり、動作も同じである。

【0061】ビット線選択トランジスタ $Qn2 \sim 5$ と $QD1 \sim 4$ は $p$ 型ウェル9上に形成される。このため、 $n$ チャネルMOSトランジスタ $Qn1, 6$ だけが高耐圧トランジスタである。

【0062】なお、本発明は上述した各実施例に限定されるものではない。実施例では、ビット線選択トランジスタにより2本のビット線を1本の信号線に束ねているが、任意複数本のビット線を1本の信号線に束ねる場合でも同様の効果が得られる。また、メモリセルアレイを $p$ 型ウェル9に、周辺回路を $p$ 型ウェル12に形成した場合の例を示してあるが、 $p$ 型又は $n$ 型、ウェル又は基板に拘らず、メモリセルアレイが形成される半導体層と周辺回路が形成される半導体層が異なる場合に同様の効果が得られる。

【0063】本発明によれば、メモリセルアレイ内の選択トランジスタと同じトランジスタでメモリセルに隣接してメモリセルアレイの1部分として周辺回路の1部分であるビット線選択トランジスタを形成し、周辺回路に引き出される配線数を減らし、配線などの加工を容易にすることができる。これは、EEPROMに拘らず、DRAM, SRAM, EPROM, ROMなど各種半導体記憶装置でも同様に行うことができる。

【0064】また、動作上メモリセルアレイが形成されるウェル又は基板と周辺回路が形成されるウェル又は基板の電位が異なる場合、ビット線選択トランジスタをメモリセルアレイが形成されるウェル又は基板上に形成することで、その電位差に伴う特殊なトランジスタの数を減らすことができる。これもEEPROMに拘らず、DRAM, SRAM, EPROM, ROMなど各種半導体記憶装置でも同様の効果が得られる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0065】

【発明の効果】以上説明したように本発明によれば、メモリセルアレイ内の選択トランジスタと同じトランジスタで、メモリセルに隣接してメモリセルアレイの1部分として周辺回路の1部分であるビット線選択トランジスタを形成することによって、周辺回路に引き出される配線数を減らし、配線などの加工を容易にすることができ

る。

【0066】また、動作上メモリセルアレイが形成されるウェル又は基板と周辺回路が形成されるウェル又は基板の電位が異なる場合、ビット線選択トランジスタをメモリセルアレイが形成されるウェル又は基板上に形成することで、その電位差に伴う特殊なトランジスタ（高耐圧トランジスタ）の数を減らすことができる。

【図面の簡単な説明】

【図1】本発明に係わるNANDセル型EEPROMのメモリセル部の等価回路を示す図。

【図2】NANDセルユニットを用いたメモリセルアレイの構造を示す平面図。

【図3】図2の矢視 $X-X'$ 断面を示す図。

【図4】図2の $Y-Y'$ ,  $Z-Z'$ 断面を示す図。

【図5】本発明におけるメモリセルアレイとビット線制御回路の等価回路を示す図。

【図6】第1の実施例に係わるNANDセル型EEPROMのメモリセルアレイとビット線選択トランジスタの構成を示す平面図。

【図7】第2の実施例に係わるNANDセル型EEPROMのメモリセルアレイとビット線選択トランジスタの構成を示す平面図。

【図8】第3の実施例に係わるNANDセル型EEPROMのメモリセルアレイとビット線選択トランジスタの構成を示す平面図。

【図9】第1～3の実施例におけるメモリセルアレイとビット線選択トランジスタの等価回路を示す図。

【図10】第4の実施例に係わるNANDセル型EEPROMのメモリセルアレイとビット線選択トランジスタの構成を示す平面図。

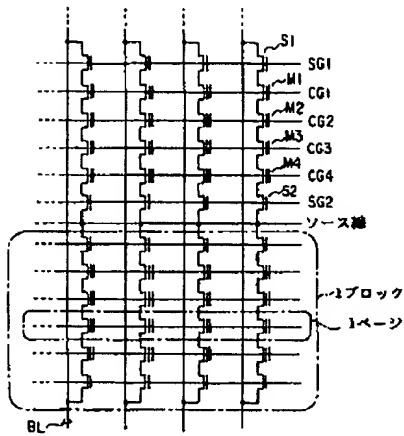
【図11】第4の実施例におけるメモリセルアレイとビット線制御回路の等価回路を示す図。

【符号の説明】

1…配線層	2…配線層
3…配線層	4… $n$ 型拡散層
5…コンタクト穴	6…選択ゲート絶縁膜
7…ゲート間絶縁膜	8…メモリセルアレイ部素子分離膜
9… $p$ 型ウェル	10… $n$ 型基板
11…トンネル絶縁膜	12… $p$ 型ウェル
13…素子分離膜	14…低濃度 $n$ 型拡散層
15…高濃度 $n$ 型拡散層	16…周辺ゲート絶縁膜
17…選択ビット線制御回路	FG…浮遊ゲート
CG…制御ゲート	SG…選択ゲート
BL…ビット線	M…メモリセル
S…選択トランジスタ	$Qn$ … $n$ チャネルMOSトランジスタ

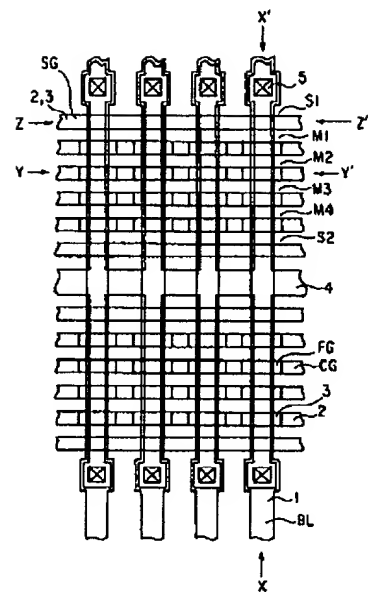
17  
QD...nチャネルDタイプMOSトランジスタ

【図1】

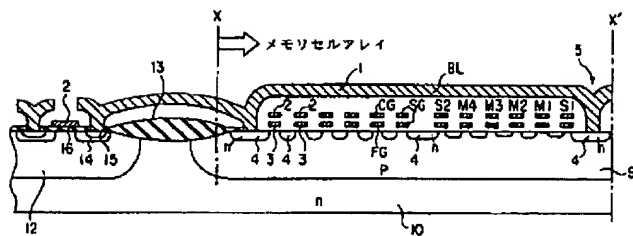


18

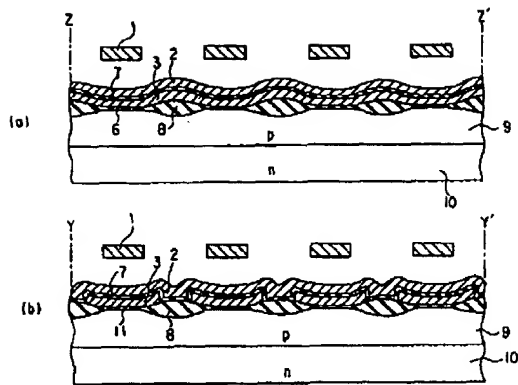
【図2】



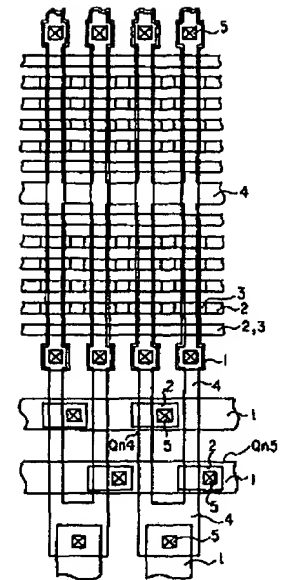
【図3】



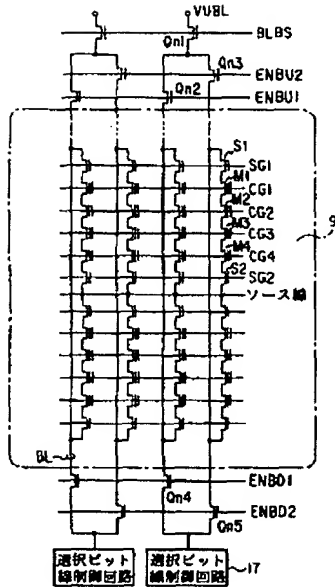
【図4】



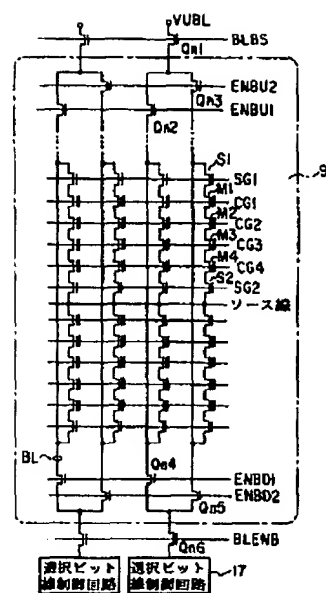
【図6】



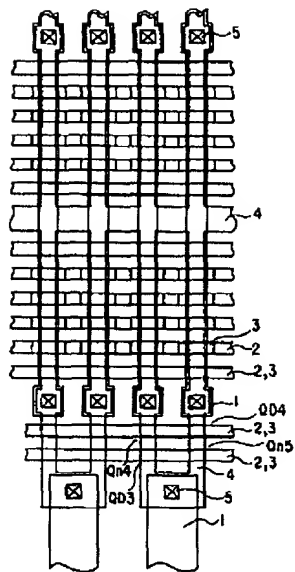
【図5】



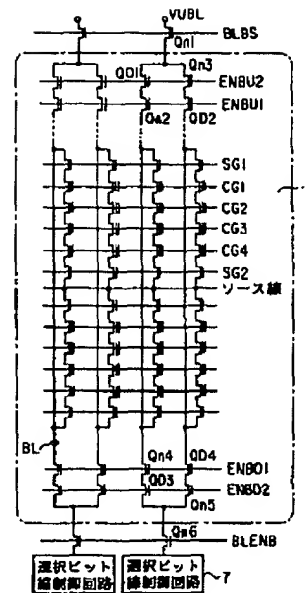
【图9】



【図10】



【図11】



フロントページの続き

(51) Int. Cl.<sup>4</sup>

H01L 21/8247

29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

H01L 29/78

371